

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 4 年 7 月 2 2 日

出 願 番 号

Application Number:

特 願 2 0 0 4 - 2 1 4 8 6 3

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 2 1 4 8 6 3

出 願 人

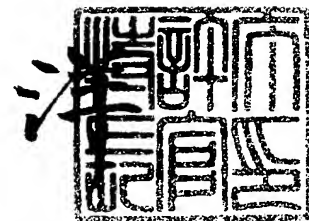
Applicant(s):

日本電信電話株式会社

2 0 0 5 年 8 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】 付訂願
【整理番号】 NTTH165518
【提出日】 平成16年 7月22日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
 【氏名】 酒井 英明
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
 【氏名】 神 好人
【発明者】
 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
 【氏名】 嶋田 勝
【特許出願人】
 【識別番号】 000004226
 【氏名又は名称】 日本電信電話株式会社
【代理人】
 【識別番号】 100064621
 【弁理士】
 【氏名又は名称】 山川 政樹
 【電話番号】 03-3580-0961
【選任した代理人】
 【識別番号】 100067138
 【弁理士】
 【氏名又は名称】 黒川 弘朗
【選任した代理人】
 【識別番号】 100098394
 【弁理士】
 【氏名又は名称】 山川 茂樹
【手数料の表示】
 【予納台帳番号】 006194
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0205287

【請求項 1】

基板の上に形成された下部電極と、
この下部電極の上に形成された強誘電体からなる所定の厚さの強誘電体層と、
この強誘電体層の上に形成された上部電極と
を少なくとも備え、
前記強誘電体層は、少なくとも 2 つの金属を含んでいる
ことを特徴とする強誘電体素子。

【請求項 2】

請求項 1 記載の強誘電体素子において、
前記強誘電体層は、前記下部電極と前記上部電極との間に印加された電気信号により抵
抗値が変化する
ことを特徴とする強誘電体素子。

【請求項 3】

請求項 2 記載の強誘電体素子において、
前記強誘電体層は、
第 1 電圧値以上の電圧印加により第 1 抵抗値を持つ第 1 状態となり、
前記第 1 電圧とは極性の異なる第 2 電圧値以下の電圧印加により前記第 1 抵抗値より低
い第 2 抵抗値を持つ第 2 状態となる
ことを特徴とする強誘電体素子。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 項に記載の強誘電体素子において、
前記下部電極は、前記基板の上に絶縁膜を介して形成されている
ことを特徴とする強誘電体素子。

【請求項 5】

請求項 1 ～ 3 のいずれか 1 項に記載の強誘電体素子において、
前記基板は導電性材料から構成されたものである
ことを特徴とする強誘電体素子。

【請求項 6】

請求項 5 記載の強誘電体素子において、
前記下部電極と前記基板とは同一である
ことを特徴とする強誘電体素子。

【請求項 7】

請求項 1 ～ 6 のいずれか 1 項に記載の強誘電体素子において、
前記強誘電体は、ペロブスカイト構造，擬イルメナイト構造，タングステン・ブロンズ
構造，ピスマス層状構造，及びバイクロイア構造の少なくとも 1 つである
ことを特徴とする強誘電体素子。

【請求項 8】

請求項 1 ～ 7 のいずれか 1 項に記載の強誘電体素子において、
前記強誘電体層は、ピスマスとチタンと酸素とから構成され、ピスマス層状構造である
ことを特徴とする強誘電体素子。

【請求項 9】

請求項 8 記載の強誘電体素子において、
前記下部電極層は、
ルテニウム、白金の少なくとも 1 つから構成され、
同一材料による単層構造，複数材料による積層構造の少なくとも 1 つである
ことを特徴とする強誘電体素子。

【請求項 10】

基板の上に下部電極層を形成する第 1 工程と、
所定の組成比で供給された不活性ガスと酸素ガスとからなるプラズマを生成し、少なく

こもその金属から構成されたターゲットに負のバイアスを印加して前記ターゲットより発生した粒子を前記ターゲットに衝突させてスパッタ現象を起こし、前記ターゲットを構成する材料を前記下部電極層の上に堆積することで、2つの前記金属及び酸素から構成された強誘電体からなる強誘電体層を前記下部電極層の上に形成する第2工程と、
前記強誘電体層の上に上部電極を形成する第3工程と
を備えることを特徴とする強誘電体素子の製造方法。

【発明の名称】 強誘電体素子及びその製造方法

【技術分野】

BEST AVAILABLE COPY

【0001】

本発明は、強誘電体素子及びその製造方法に関する。

【背景技術】

【0002】

従来、メモリには、半導体装置が多く用いられてきた。この中の1つとして、DRAM (Dynamic Random Access Memory) が広く使用されている。

DRAMの単位記憶素子（以下、メモリセルという）は、1個のキャパシタと1個のMOSFET (Metal-oxide-semiconductor field effect transistor) からなり、選択されたメモリセルのキャパシタに蓄えられた電荷の状態に対応する電圧変化を、デジタル信号の「0」あるいは「1」として読み取ることで、メモリ動作をさせている。

【0003】

しかし、DRAMでは、キャパシタに蓄えられた電荷が時間とともに減少するため、通電しながらデータを保持しなければならないという欠点を有している。また、DRAMでは、データを読み出す毎にキャパシタの電荷の状態が変化するため、再書き込みが必要となる。これらの問題は、ユビキタスサービス社会で必要となる低消費電力で高速動作をするメモリ装置を開発する上で、大きな制限となっている。

【0004】

現在、高速かつ不揮発なメモリとして、強誘電体の分極を用いた強誘電体メモリ (FeRAM: Ferroelectric RAM) や、強磁性体の磁気抵抗を用いた強磁性体メモリ (MRAM: Magnetoresist RAM) などが注目されており、盛んに研究されている。

この中で、FeRAMは、既に実用化されていることもあり、諸処の課題を解決できれば、フラッシュメモリやロジックのDRAMも置き換えできると期待されている。

【0005】

強誘電体材料のうち、FeRAMには、主に酸化物強誘電体が使用されている。酸化物強誘電体は、 BaTiO_3 、 PbTiO_3 などのペロブスカイト構造 (Perovskite)、 LiNbO_3 、 LiTaO_3 などの擬イルメナイト構造 (Pseudo-ilmenite)、 PbNb_2O_6 、 $\text{Ba}_2\text{NaNb}_5\text{O}_{15}$ などのタングステン・ブロンズ (TB) 構造 (Tungsten-bronze)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ などのビスマス層状構造 (Bismuth layer-structure ferroelectric, BLSF) 等、 $\text{Pb}_2\text{Nd}_2\text{O}_7$ などのパイロクロア構造 (Pyrochlore) に分類される。

【0006】

これらの中でも $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT) で代表される鉛系強誘電体が、実用上で主流となっている。しかしながら、鉛含有物や鉛酸化物は、労働安全衛生法により規制される材料であり、生態への影響や環境負荷の増大などが懸念される。このため欧米では、生態学的見知及び公害防止の面から規制対象となりつつある。

【0007】

近年の環境負荷軽減の必然性から、非鉛系（無鉛）で鉛系強誘電体の性能に匹敵する強誘電体材料が世界的に注目されており、この中でも無鉛ペロブスカイト型強誘電体やビスマス層状構造強誘電体 (BLSF) が有望とされている。ビスマス層状構造強誘電体は、分極特性に大きな特徴を持ち、配向軸の向きにより分極量が10倍程度変化することや、分極を反転させた回数による劣化が少なく、Pb系よりも疲労特性に優れているという報告もなされている。しかし、ビスマス層状構造強誘電体は、鉛系強誘電体に比べ分極量が小さく成膜法・加工法ともに課題が多いのも事実である（非特許文献1参照）。

【0008】

フラッシュメモリの代わりとして期待されるFeRAMには、主に、スタック型とFET型に分類される。

スタック型は、1トランジスタ1キャパシタ型FeRAMとも呼ばれ、この構造からス

ノック型やバンプを持つもの、フレーツ型やバンプを持つもの、立体型やバンプを持つものがある。これらの構造では、キャパシタ中の強誘電体の分極の向きにより、トランジスタを流れる電流量が変化することを利用し、メモリの「0」と「1」とを読み出すようにしている。また、強誘電体の分極は、通電せずに保持することができるので、F e R A Mは、不揮発性も有している。しかしながら、F e R A Mは、データを読み出すときに分極の反転が伴うことがあり、破壊読み出し動作になるという欠点を有している。また、F e R A Mは、1つのメモリセルが専有する面積が大きいため、高集積化が容易ではない。

【0009】

上述したスタック型F e R A Mに対し、F E T型F e R A Mは、次世代を担うF e R A Mとして期待されている。F E T型F e R A Mは、1トランジスタ型F e R A Mとも呼ばれ、この構造から、M O S F E Tのゲート電極とチャネル領域のゲート絶縁膜の代わりに強誘電体膜を配置したM F S (Metal-ferroelectric-semiconductor) 型F e R A M、M O S F E Tのゲート電極の上に強誘電体膜を配置したM F M I S (Metal-ferroelectric-metal-insulator-semiconductor) 型F e R A M、さらにM O S F E Tのゲート電極とゲート絶縁膜の間に強誘電体膜を配置したM F I S (Metal-ferroelectric-insulator-semiconductor) 型F e R A Mなどの1トランジスタ型F e R A Mがある(非特許文献2参照)。

【0010】

これらのF e R A Mは、M O S F E Tの動作に強誘電体の分極を適用させたものであり、分極の状態により、ゲート絶縁膜直下の半導体表面にチャネルが形成される場合と、形成されない場合との状態を作り出し、このときのソースドレイン間の電流値を読み取り、電気的なデジタル信号の「0」あるいは「1」として取り出すことで、メモリ動作を実現している。

【0011】

F E T型F e R A Mでは、動作原理から、データ読み出しを行っても、強誘電体の分極量は変化しないことから非破壊読み出しが可能であり、高速動作が期待されている。また、1トランジスタ1キャパシタ型F e R A Mに比べて専有面積も小さくできることから、高集積化に有利である特徴を持つ。

【0012】

しかしながら、上述した構成では、強誘電体の層を半導体上に形成することになるが、よく知られているように、半導体上に強誘電体の層を形成することは非常に困難である。

例えばS iなどの半導体基板を用いた場合、強誘電体の成膜に良く用いられるゾルゲル法や有機金属化学気相堆積(Metal-Organic Chemical Vapor Deposition: M O C V D)法などでは、高温での成膜が必要となるため、半導体の表面が酸化又は変質してしまう。これにより、界面に不要な酸化膜や欠陥を形成してしまい、これらがメモリ特性を大きく悪化させる原因となる。

【0013】

実際、界面での酸化膜は強誘電体の分極保持を妨げるような減分極電界を発生させるため、メモリの保持特性を著しく悪くしてしまう。また欠陥の形成は、ゲートからチャネルへのリーク電流を増大させるため、トランジスタのO N / O F F比を劣化させてしまう。このような問題点を解決するため、強誘電体と半導体に間に高誘電率の絶縁膜を挟む構造が提案されているが、やはり減分極電界の影響を無視することができず、長期の分極保持は非常に困難であるという報告が多い。

【0014】

上述したことから明らかなように、次世代のメモリとして注目されているF e R A Mを実現するためには、基板上への強誘電体薄膜の形成が非常に重要である。

現在までに様々な形成装置及び種々の薄膜形成方法が試みられている。例えば、前述したゾルゲル法やM O C V D方法に加え、パルス・レーザー・デポジション(Pulsed laser deposition, P L D)、高周波スパッタリング法(rf-sputtering、R Fスパッタ法やマグネ

ドロン・ヘバツノ伝とも呼ぶ)、E C Rヘバツノ伝 (Electron cyclotron resonance sputtering) などが挙げられる。

【0015】

ゾルゲル法などの化学溶液堆積法は、強誘電体の機材を有機溶媒に溶解して基板に塗布し、この塗布膜を焼結する手順を繰り返し、所定の膜厚とした強誘電体層を形成する方法である。ゾルゲル法は、簡便で比較的大面積に膜が形成できるのが特徴であるが、塗布する基板との濡れ性の問題や、形成した膜中に溶媒が残ってしまうことによる汚染などの多くの欠点を抱えている。

【0016】

MOCVD法は、大面積に結晶性の良い膜を形成でき、かつ段差被覆特性にも優れた強誘電体の成膜手法として、多くの注目を集めている。しかしながら、ソースガスの供給するため有機溶剤を使用するため、膜中の炭素原子による汚染が大きな問題点となる。利用するガスの取り扱いが容易ではなく、装置が非常に大掛かりになってしまう。

【0017】

形成される薄膜の純度や組成に関しては、PLD法が最も有効な成膜手法である。これは、エキシマレーザなどの強力なレーザ光源で強誘電体材料のターゲットをアブレーションすることにより放出される原子、イオン、クラスターを基板に堆積させ、薄膜を形成する方法である。PLD法では、組成ずれもなく結晶性の良い薄膜を形成できることから、大きな関心が寄せられている。

しかし、レーザがターゲットに照射される面積が小さいため、基板の上に形成される薄膜に大きな面内分布が生じてしまい、大面積での成膜は容易ではない。従って、量産をするなど工業的な観点からは、現在のPLD法は極めて不利な手法である。

【0018】

上述した種々の膜形成方法に対し、強誘電体膜の形成方法としてスパッタリング法（単にスパッタ法ともいう）が注目されている。スパッタ法は、危険度の高いガスや有毒ガスなどを用いることなく、堆積する膜の表面凹凸（表面モフォロジ）が比較的良好などの理由により、有望な成膜装置・方法の1つになっている。

【0019】

従来から使用されているRFスパッタ法においては、ターゲットとして対象とする化合物の焼結体を用い、酸化物強誘電体を堆積している。ところが、不活性ガスとしてアルゴン、反応性ガスとして酸素を用いてスパッタした場合、基板の上に形成された強誘電体薄膜中に酸素が十分に取り込まれず、良好な膜質の強誘電体薄膜が得られないという問題点があった。このため、上述したスパッタ法では、膜を形成した後に酸素中でのアニーリングが必要とされてきた。

【0020】

一方、スパッタ膜の膜質改善の方法として、電子サイクロトロン共鳴（ECR）によりプラズマを発生させ、このプラズマの発散磁場を利用して作られたプラズマ流を基板に照射し、同時にターゲットと接地と間に高周波又は負の直流電圧を印加し、ECRで発生したプラズマ流中のイオンをターゲットに引き込み衝突させて、スパッタリングすることにより、膜を基板上に堆積させるECRスパッタ法がある。

【0021】

ECRを利用したプラズマは、低ガス圧（0.01Pa程度）での放電、低エネルギー（数10eV程度）領域でのイオンエネルギーの制御、高イオン化率などの優れた特性を有する。

ECRプラズマ中のイオンは、スパッタされて基板の上に飛来した原料粒子に適度なエネルギーを与えると共に、原料粒子と酸素との結合反応を促進することになり、堆積した膜の膜質改善につながると考えられている。従って、ECRスパッタ法では、低い基板温度で高品質の膜が形成できることが大きな特徴であり、表面モルフォロジも極めて優れたものとなる。特にゲート絶縁膜の形成においては、この有効性を発揮している（特許文献1，特許文献2参照）。

また、E C R スパッタ法を用いた強誘電体薄膜形成の検討についてもいくつか報告されている（特許文献 3、特許文献 4 参照）。これらでは、バリウム又はストロンチウムを含む強誘電体の製造について報告されている。また、E C R スパッタ法による $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の製造法についても報告されている（非特許文献 2 参照）。

【 0 0 2 3 】

上述したようなメモリを取り巻く状況に対し、強誘電体の分極量により半導体の状態を変化させる（チャンネルを形成する）などの効果によりメモリを実現させるのではなく、図 10 に示すように、半導体基板 901 の上部に直接形成した強誘電体層 902 の抵抗値を変化させ、結果としてメモリ機能を実現する技術が提案されている（特許文献 5 参照）。強誘電体層 902 の抵抗値の制御は、電極 903 と電極 904 との間に電圧を印加することで行う。

【 0 0 2 4 】

なお、出願人は、本明細書に記載した先行技術文献情報で特定される先行技術文献以外には、本発明に関連する先行技術文献を出願時までに発見するには至らなかった。

【特許文献 1】特許第 2814416 号公報

【特許文献 2】特許第 2779997 号公報

【特許文献 3】特開平 10-152397 号公報

【特許文献 4】特開平 10-152398 号公報

【特許文献 5】特開平 7-263646 号公報

【非特許文献 1】塩崎忠 監修、「強誘電体材料の開発と応用」、シーエムシー出版

【非特許文献 2】増本らのアブライド・フィジクス・レター、第 58 号、243 頁、1991 年、(Appl. Phys. Lett., 58, 243, (1991)).

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 5 】

しかしながら、図 10 に示した特許文献 5 に提案されている構造は、前述した M F S 型 F e R A M のゲート電極直下と同様に、半導体の上に強誘電体層を備える構造となっている。従って、図 10 に示す素子では、M F S 型 F e R A M の製造過程に最大の問題となる半導体上の良質な強誘電体層の形成が困難であるばかりでなく、半導体と強誘電体層との間に半導体酸化物が形成されてしまい、減分極電界の発生や多くの欠陥の発生が特性に大きく影響し、長時間のデータ保持は不可能であることが予想される。実際、図 10 に示す素子では、2 分程度の保持時間しか達成されておらず、1 分程度でデータの再書き込みを強いられることになる。また、メモリとしての O N / O F F 比も 3 程度であり、十分なものではなかった。

【 0 0 2 6 】

また、図 10 に示す素子に見られる電流電圧ヒステリシスは、半導体基板 901 と強誘電体層 902 の界面に発生した欠陥に、電子又はホールが捕獲（トラップ）されるために起きるとされている。このため、特許文献 5 では、強誘電体に接する材料は金属ではなく、キャリアの少ない半導体基板が好ましいとされている。金属のようにキャリアが多数の場合は、これらの電気伝導が支配的となってしまう、界面でのトラッピング効果が顕著でなくなるため、ヒステリシスが発現しにくいものと考えられている。これを防ぐために、半導体基板はキャリア数を制御する役割を担っており、特許文献 5 の構造では不可欠な要素となっている。しかしながら、このような界面におけるトラッピング現象が電流電圧特性のヒステリシスの原因の場合、メモリの保持時間は誘電緩和時間程度となってしまう、原理的に長期のメモリ保持は望めない構成となる。

【 0 0 2 7 】

本発明は、以上のような問題点を解消するためになされたものであり、より安定に記憶保持が行えるメモリ装置が構成できるなど、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供することを目的とする。

【0028】

本発明に係る強誘電体素子は、基板の上に形成された下部電極と、この下部電極の上に形成された強誘電体からなる所定の厚さの強誘電体層と、この強誘電体層の上に形成された上部電極とを少なくとも備え、強誘電体層は、少なくとも2つの金属を含んでいるものである。

このような構成において、下部電極と上部電極との間に電気信号を印加することにより、強誘電体層の抵抗値を変化させることができる。すなわち、上記の構成は、従来技術のような半導体による界面でのキャリア数の制御などがなくとも、強誘電体層は、印加される電圧などの電気信号により抵抗値が変化するものである。この現象は、界面でのトラップの影響ではなく、強誘電体自身の抵抗値変化が、本質的な機構となっている。

この結果、本強誘電体素子では、下部電極と上部電極との間に所定の電圧を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗状態と低抵抗状態とを切り替えれば、2つの異なる状態が得られ、例えば、上部電極に、適当な電圧を印加したときの電流値の測定により、2つの異なる状態が読み取れる。

【0029】

上記強誘電体素子において、強誘電体層は、第1電圧値以上の電圧印加により第1抵抗値を持つ第1状態（例えば上記低抵抗状態）となり、第1電圧とは極性の異なる第2電圧値以下の電圧印加により第1抵抗値より低い第2抵抗値を持つ第2状態（例えば上記高抵抗状態）となる。

上記強誘電体素子において、下部電極は、基板の上に絶縁膜を介して形成されていてもよく、基板は導電性材料から構成されたものであってもよく、この場合、下部電極と基板とは同一であってもよい。

【0030】

また、上記強誘電体素子において、強誘電体は、ペロブスカイト構造、擬イルメナイト構造、タングステン・ブロンズ構造、ピスマス層状構造、及びバイクロイア構造の少なくとも1つであればよく、例えば、強誘電体層は、ピスマスとチタンと酸素とから構成され、ピスマス層状構造であればよい。また、下部電極は、ルテニウム、白金のいずれかから構成することができる。加えて、下部電極は、これらの同一材料による単層構造もしくは複数材料による積層構造のいずれかであってもよい。

【0031】

本発明に係る強誘電体素子の製造方法は、基板の上に下部電極層を形成する第1工程と、所定の組成比で供給された不活性ガスと酸素ガスとからなるプラズマを生成し、少なくとも2つの金属から構成されたターゲットに負のバイスを印加してプラズマより発生した粒子をターゲットに衝突させてスパッタ現象を起こし、ターゲットを構成する材料を下部電極層の上に堆積することで、2つの金属及び酸素から構成された強誘電体からなる強誘電体層を下部電極層の上に形成する第2工程と、強誘電体層の上に上部電極を形成する第3工程とを備えるものである。

【発明の効果】

【0032】

以上説明したように、本発明によれば、少なくとも2つの金属から構成された強誘電体層を、下部電極と上部電極とで挟む構成としたので、下部電極と上部電極との間に所定の電気信号を印加して強誘電体層の抵抗値を変化させることが可能となり、安定な高抵抗状態と低抵抗状態とが切り替えられるようになり、安定して2つの異なる状態が得られるようになるので、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供できるという優れた効果が得られる。

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態について図を参照して説明する。

図1は、本発明の実施の形態における強誘電体素子の構成例を模式的に示す断面図であ

る。図1に示す系は、例えば、半導体層101の上に絶縁層102、下部電極層103、膜厚30～200nm程度の強誘電体層104、上部電極105を備えるようにしたものである。

【0034】

基板101は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板101が絶縁材料から構成されている場合、絶縁層102はなくてもよい。また、基板101が導電性材料から構成されている場合、絶縁層102、下部電極層103はなくてもよく、この場合、導電性材料から構成された基板101が、下部電極となる。

【0035】

下部電極層103、上部電極105は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていけばよい。また、下部電極層103、上部電極105は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸化亜鉛(ZnO)、鉛酸スズ(ITO)、フッ化ランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

【0036】

強誘電体層104は、酸化物強誘電体から構成されたものであり、例えば、ペロブスカイト構造を持つ材料、又は、擬イルメナイト構造を持つ材料、さらに、タングステン・ブロンズ構造を持つ材料、ピスマス層状構造を持つ材料、バイロクロア構造を持つ材料から構成されていけばよい。

詳細には、 BaTiO_3 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 、 LiNbO_3 、 LiTaO_3 、 PbNb_3O_6 、 $\text{PbNaNb}_5\text{O}_{15}$ 、 $\text{Cd}_2\text{Nb}_2\text{O}_7$ 、 $\text{Pb}_2\text{Nb}_2\text{O}_7$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ などが挙げられる。

【0037】

図1に示した強誘電体素子の具体例について説明すると、例えば、下部電極層103は、膜厚10nmのルテニウム膜であり、強誘電体層104は、膜厚40nmの $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜であり、上部電極105は、金から構成されたものである。なお、前述したように、基板101及び絶縁層102の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

【0038】

以上で説明した、絶縁層102、下部電極層103、強誘電体層104、上部電極105は、具体的な製法は後述するが、金属ターゲットや焼結ターゲットを、アルゴンガス、酸素ガス、窒素ガスからなるECRプラズマ内でスパッタリングするスパッタ法で形成すればよい。

【0039】

ECRプラズマスパッタ法では、例えば、プラズマ生成室と処理室とを備えたECRスパッタ装置を用い、まず、プラズマ生成室にArガスを導入し、プラズマ生成室もしくは処理室に酸素ガスを導入し、プラズマ生成室内を $10^{-5} \sim 10^{-4}$ Pa程度の圧力にする。この状態で、磁気コイルを用いてプラズマ生成室内に0.0875Tの磁場を発生させた後、プラズマ生成室内に2.45GHzのマイクロ波を導入し、電子サイクロトロン共鳴(ECR)プラズマを発生させる。

【0040】

ECRプラズマは、磁気コイルからの発散磁場により、処理室に設けられている基板ホルダの方向にプラズマ流を形成する。生成されたECRプラズマのうち、電子は磁気コイルで形成される発散磁場によりターゲットの中を貫通し、基板ホルダの側に引き出され、基板ホルダ上の基板の表面に照射される。このとき同時に、ECRプラズマ中のプラスイオンが、電子による負電荷を中和するように、すなわち、電界を弱めるように基板側に引き出され、成膜している層の表面に照射される。このように各粒子が照射される間に、プラスイオンの一部は電子と結合して中性粒子となる。

次に、図1にした強誘電体素子の製造方法例について、図2を用いて説明する。

まず、図2(a)に示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板101を用意し、基板101の表面を硫酸と過酸化水素水の混合液と純水と希フッ化水素水とにより洗浄し、このあと乾燥させる。

【0042】

ついで、洗浄・乾燥した基板101の上に、絶縁層102が形成された状態とする。

絶縁層102の形成では、上述したECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスをを用いたECRスパッタ法により、シリコン基板101の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層102を形成する。

【0043】

例えば、 10^{-3} Pa台の内部圧力に設定されているプラズマ生成室内に流量20sccm程度でArガスを導入し、ここに、2.45GHzのマイクロ波(500W程度)と0.0875Tの磁場とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にArのプラズマが生成された状態とする。なお、sccmは流量の単位あり、 $0^\circ\text{C} \cdot 1$ 気圧の流体が1分間に 1 cm^3 流れることを示す。

【0044】

上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より高周波電力(例えば500W)を供給する。このことにより、シリコンターゲットにAr粒子が衝突してスパッタリング現象が起こり、Si粒子が飛び出す。

【0045】

シリコンターゲットより飛び出したSi粒子は、プラズマ生成室より放出されたプラズマ、及び、導入されてプラズマにより活性化された酸素ガスと共にシリコン基板101の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。

以上のことにより、シリコン基板101上に二酸化シリコンからなる例えば100nm程度の膜厚の絶縁層102が形成された状態とすることができる(図2(a))。

【0046】

なお、絶縁層102は、この後に形成する下部電極層103と上部電極105に電圧を印加した時に、シリコン基板101に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。従って、絶縁層102は、二酸化シリコン以外の他の絶縁材料から構成してもよい。また、上述したECRスパッタによる膜の形成では、シリコン基板101に対して加熱はしていないが、シリコン基板101を加熱しながら膜の形成を行ってもよい。

【0047】

以上のようにして絶縁層102を形成した後、今度は、ターゲットとして純ルテニウム(Ru)を用いた同様のECRスパッタ法により、絶縁層102の上にルテニウム膜を形成することで、図2(b)に示すように、下部電極層103が形成された状態とする。

Ru膜の形成について詳述すると、Ruからなるターゲットを用いたECRスパッタ装置において、例えば2.45GHzのマイクロ波(例えば500W)をプラズマ生成室内に導入する。また、プラズマ生成室内に、例えば流量7sccmで希ガスであるArガスを導入し、加えて、例えば流量5sccmでXeガスを導入し、プラズマ生成室の内部を、例えば $10^{-2} \sim 10^{-3}$ Pa台の圧力に設定する。

【0048】

加えて、プラズマ生成室には、電子サイクロトロン共鳴条件の磁場を与え、プラズマ生成室にArとXeのECRプラズマが生成した状態とする。生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置されたルテニウムターゲットに、高周波電力(例えば500W)を

次に、図1に示した強誘電体素子中での電圧をゼロから正の方向に増加させた後にゼロに戻し、さらに負の方向に減少させた後に再びゼロに戻したときに強誘電体中を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、上部電極105に電圧を0Vから正の方向に徐々に印加させた場合、強誘電体層104を流れる正の電流は比較的少ない(0.1Vで約0.4μA程度)。

【0056】

以上のようにして強誘電体層104を形成した後、図2(e)に示すように、強誘電体層104の上に、所定の面積のAuからなる上部電極105が形成された状態とすることで、強誘電体からなる層を用いた素子が得られる。

上部電極105は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、上部電極105は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、濡れ性が悪く剥離する可能性があるため、Ti-Pt-Auなどの剥離し難い構造とし、この上でフォトリソグラフィやリフトオフ処理などのパターンニング処理をして所定の面積を持つ電極として形成する必要がある。

【0057】

次に、図1に示した強誘電体素子について、電気的な特性について詳細に説明する。

発明者らは、上述したBi₄Ti₃O₁₂膜を詳細に調べることによって、次に示す新規の現象を見いだした。

上記Bi₄Ti₃O₁₂膜は、ある程度のリーク電流が流れる膜厚で、電流電圧測定に特有のヒステリシスが現れることを見いだした。前述したECRスパッタ法により、酸素流量を1sccm程度に抑えてBi₄Ti₃O₁₂膜を形成したところ、形成したBi₄Ti₃O₁₂膜の抵抗値が大きく下がることが判明した。このBi₄Ti₃O₁₂膜のより詳細な調査により、ある程度のリーク電流が流れる50~200nm程度の膜厚範囲において、膜中を流れる電流の電流電圧特性に、特有のヒステリシスが現れることが見いだされた。

【0058】

上述した知見により、Bi₄Ti₃O₁₂膜などの強誘電体膜における上述した特有のヒステリシスが現れる現象を顕著に用いることで、図1に示す強誘電体素子が実現できる。言い換えると、品質のよい強誘電体層を用いて図1に例示する構成とすることで、以降に説明するように、2つの状態が保持される強誘電体素子可以实现できる。

【0059】

以下に示す電気的な特性調査は、下部電極層103と上部電極105との間に電圧を印加することで行う。下部電極層103と上部電極105との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図3に示す結果が得られた。

以下、図3を説明し、あわせて本発明のメモリ動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

【0060】

図3は上部電極に印加する電圧をゼロから正の方向に増加させた後にゼロに戻し、さらに負の方向に減少させ、最後に再びゼロに戻したときに強誘電体中を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、上部電極105に電圧を0Vから正の方向に徐々に印加させた場合、強誘電体層104を流れる正の電流は比較的少ない(0.1Vで約0.4μA程度)。

【0061】

しかし、0.5Vを超えると急激に正の電流値が増加し始める。さらに約1Vまで電圧を上げた後、逆に正の電圧を減少させていくと、1Vから約0.7Vまでは電圧値の減少にも拘わらず、正の電流値はさらに増加する。電圧値が約0.7V以下になると、電流値も減少に転じるが、このときの正の電流は先と比べて流れやすい状態であり、電流値は0.1Vで約4μA程度である(先の約10倍)。印加電圧をゼロに戻すと、電流値もゼロとなる。

【0062】

次に上部電極105に負の電圧を印加していく。この状態では、負の電圧が小さいとき

は、前の履歴で付与極と、比較的大きな負の電流が流れる。ところが、 -0.1 V 程度まで負の電圧を印加すると、負の電流が突然減少し始め、この後、約 -1 V 程度まで負の電圧を印加しても負の電流値は減少し続ける。最後に、 -1 V から 0 V に向かって印加する負の電圧を減少させると、負の電流値も共にさらに減少し、ゼロに戻る。この場合のときは、負の電流は流れにくく、 -0.1 V で約 $-0.5\text{ }\mu\text{ A}$ 程度である。

【0063】

以上に説明したような、強誘電体層104中を流れる電流のヒステリシスは、上部電極105に印加する電圧により強誘電体層104の抵抗値が変化することが原因で発現すると解釈できる。

ある一定以上の大きさの正の電圧 V_{W1} を印加することにより、強誘電体層104は電流を流しにくい「低抵抗状態」（データ「1」）に遷移する。一方、ある一定の大きさの負の電圧 V_{W0} を印加することにより、強誘電体層104は電流が流れにくい「高抵抗状態」（データ「0」）に遷移すると考えられる。

【0064】

強誘電体層104には、これらの低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。なお、 V_{W1} の値は約 $+1\text{ V}$ 程度であり、 V_{W0} の値 -1 V 程度であり、高抵抗状態と低抵抗状態の抵抗比は約 $10\sim100$ 程度である。

上記のような、電圧により強誘電体層104の抵抗がスイッチする現象を用いることで、図1に示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能なメモリ素子が実現できる。

【0065】

図1に示す強誘電体素子をメモリ素子として用いる場合のメモリ動作は以下のように行う。まず、 V_{W1} 以上の大きさの正のバルス電圧を印加し、強誘電体層104を低抵抗状態に遷移させる。これはメモリとしてデータ「1」を書き込むことに対応する。このデータ「1」は、読み出し電圧 V_R における電流値 J_{R1} を観測することにより読み出すことができる。 V_R としては、状態が遷移しない程度のなるべく小さな値で、かつ抵抗比が十分に現れるような値を選択することが重要となる（上記の例では 0.1 V 程度が適当）。これにより、低抵抗状態、すなわちデータ「1」を破壊することなく、何回も読み出すことが可能となる。

【0066】

一方、 V_{W0} 以上の大きさの負のバルス電圧を印加することにより、強誘電体層104を高抵抗状態に遷移させ、データ「0」を書き込むことができる。この状態の読み出しは前記と全く同様に、読み出し電圧 V_R における電流値 J_{R0} を観測することにより、行うことができる（ $J_{R1}/J_{R0}\approx10\sim100$ ）。また、電極間に通電がない状態では、強誘電体層104は各状態を保持するため不揮発性を有しており、書き込み時と読み出し時以外には、電圧を印加する必要はない。なお、本素子は、電流を制御するスイッチ素子としても用いることができる。

【0067】

ここで図1に示した素子におけるデータ保持特性について、図4に示す。例えば、上部電極に正の電圧 V_{W1} を印加して、図3に示す低抵抗状態（データ「1」）に遷移させた後、読み出し電圧 V_R を印加して電流値 J_{R1} を観測する。次に、上部電極に負の電圧 V_{W0} を印加することで高抵抗状態に遷移させ、データ「0」を書き込んだ状態とし、この後、一定時間毎に上部電極に読み出し電圧 V_R を印加し、電流値 J_{R0} を観測する。メモリ素子としてのON/OFF比は、 J_{R1}/J_{R0} の値として表せるので、図4では、 J_{R1}/J_{R0} の値を縦軸とし、上述した観測により得られた J_{R1}/J_{R0} の値の経時に伴う変化を示した。

【0068】

観測されたON/OFF比は、経時に伴い徐々に減少する傾向が示されているが、十分にデータの判別が可能な範囲である。図4に黒丸で示す観測結果による外挿直線（破線）

かつ、忘れられるメモリが従来のメモリよりも1桁以上長いという利点があり、この利点でも追加は可能である。このように、図1に示す素子によれば、少なくとも1000分の保持時間を有していることがわかる。

また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。

【0069】

ところで、上述した本発明の例では、シリコンからなる基板上の絶縁層、絶縁層上の下部電極層、下部電極層上の強誘電体層の各々をECRスパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、ECRスパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化法や化学気相法(CVD法)、また、従来のスパッタ法などで形成しても良い。

【0070】

また、下部電極層は、EB蒸着法、CVD法、MBE法、IBD法、加熱蒸着法などの他の成膜方法で形成しても良い。また、強誘電体層も、上記で説明したMOD法や従来よりあるスパッタ法、PLD法などで形成することができる。

ただし、ECRスパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、強誘電体膜が容易に得られる。

【0071】

また、各層を形成するための各々のECRスパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらのことにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。

【0072】

ところで、素子を並べて複数のデータを同時にメモリ蓄積することを「集積」と呼び、集積する度合いを集積度と呼ぶが、図1の構造は、非常に単純であり、従来のメモリセルに比較して、集積度を格段に上げることが可能となる。MOSFETを基本技術としたDRAMやSRAM、フラッシュメモリなどでは、ゲート、ソース、ドレインの領域を確保する必要があるため、近年では、集積限界が指摘され始めている。これに対し、図1に示す素子によれば、単純な構造を用いることで、現在の集積限界に捕らわれずに集積度を高めることが可能となる。

【0073】

本発明の基本的な思想は、図1に示すように、強誘電体層に絶縁層を接して配置し、これらを2つの電極で挟むようにしたところにある。このような構成とすることで、2つの電極間に所定の電圧(DC, パルス)を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗状態と低抵抗状態とを切り替え、結果としてメモリ機能が実現可能となる。

【0074】

従って、例えば、図5(a)に示すように、絶縁性基板101aを用い、積層された下部電極層103a, 103bを用いるようにしてもよい。また、また、図5(b)に示すように、絶縁性基板101aを用い、下部電極層103にコンタクト電極103cを設けるようにしてもよい。また、図5(c)に示すように、絶縁性基板101aを用い、積層された上部電極105a, 105bを用いるようにしてもよい。さらに、図5(d)に示すように、積層された下部電極層103a, 103bと積層された上部電極105a, 105bとを用いるようにしてもよい。

【0075】

また、図6(a)に示すように、ガラスからなる絶縁性の基板501を用いるようにしてもよい。この場合、図6(b)に示すように、基板501に貫通孔形成してここにプラグを設け、基板501の裏面(下部電極層103の形成面の反対側)より電氣的コンタクトをとるようにしてもよい。この構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。

【0076】

つに、図6(c)に示すように、金属板511の上に接して下部電極502を備え、この上に強誘電体層503、上部電極504を設けるようにしてもよい。図6(d)に示す構成とした場合、基板511と上部電極504との間に所定の電気信号を印加することが可能となる。

【0077】

また、図6(e)に示すように、金属板521の上に、強誘電体層512、上部電極513を設けるようにしてもよい。この構成とした場合、金属板521が、下部電極層となる。図6(e)に示す構造にすることによって、熱伝導性のよい金属板521の上に各構成要素が形成されているので、より高い冷却効果が得られ、素子の安定動作が期待できる。

【0078】

なお、強誘電体層は、膜厚が厚くなるほど電流が流れにくくなり抵抗が大きくなる。抵抗値の変化を利用してメモリを実現する場合、低抵抗状態と高抵抗状態の各々の抵抗値が問題となる。例えば、強誘電体層の膜厚が厚くなると、低抵抗状態の抵抗値が大きくなり、S/N比がとりにくくなり、メモリの状態を判断しにくくなる。一方、強誘電体層の膜厚が薄くなり、リーク電流が支配的になると、メモリ情報が保持しにくくなると共に、高抵抗状態の抵抗値が小さくなり、S/N比がとりにくくなる。

【0079】

従って、強誘電体層は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、強誘電体層は、最低10nmの膜厚があればよい。また、低抵抗状態における抵抗値を考慮すれば、強誘電体層は300nmより薄くした方がよい。発明者らの実験の結果、強誘電体層の厚さが30～200nmであれば、メモリの動作が確認されている。

【0080】

上述では、1つの強誘電体素子を例にして説明したが、以降に説明するように、複数の強誘電体素子を配列させて集積させるようにしてもよい。

例えば、図7(a)に示すように、絶縁性基板601の上に、共通となる下部電極層602、強誘電体層603を形成し、強誘電体層603の上に、各々所定距離離間して複数の上部電極604を形成すればよい。複数の上部電極604に対応して複数の強誘電体素子が配列されたことになる。

【0081】

強誘電体や絶縁膜は、金属などの導電体に比べて導電性が非常に小さいので、上述したように共通に使用することができる。この場合、加工プロセスを省くことができるので、生産性の向上が図れ、工業的に利点大きい。また、複数の上部電極604に対応する強誘電体素子間の距離を導電性などを考慮して配置することで、安定した動作が期待できる。

【0082】

また、図7(b)に示すように、絶縁性基板601の上に、共通となる下部電極層602を形成し、下部電極層602の上に、強誘電体層613、上部電極614からなる複数の素子を配列させるようにしてもよい。例えば、形成した強誘電体膜を、RE法やICPエッチング、またECREッチングなど加工法を用いることで、個々の強誘電体層613が形成できる。このように分離して構成することで、素子間の距離をより短くすることが可能となり、集積度をさらに向上させることができる。

【0083】

さらに、図7(c)に示すように、各々の素子を構成している強誘電体層613の側面を、絶縁側壁615で覆うようにしてもよい。また、図7(d)に示すように、各素子に対応して複数の強誘電体層613を形成し、各々分離している複数の強誘電体層613の側部を充填するように、絶縁層625を形成するようにしてもよい。これらのように、素子毎に分離して形成した複数の強誘電体層613の間を絶縁体で覆うことで、各素子間の

リーノ電流を減らし、強誘電体素子の安定性を高めることができる。

【0084】

また、図8に示すように、本発明の実施の形態における複数の強誘電体素子をX方向にn個、Y方向にm個配列し、X方向バスを下部電極層に接続し、Y方向バスを上部電極に接続し、X方向バス及びY方向バスの各々に選択信号のスイッチ機能を備えたプロセッサユニットを接続することで、各素子にランダムにアクセスが可能なメモリが実現できる。

【0085】

例えば、図9の斜視図に示すように、下部電極801、強誘電体層802、上部電極803からなる強誘電体素子を配列し、各列の下部電極801に共通に各々Y方向バス812を接続し、各行の上部電極803に共通に各々X方向バス811を接続すればよい。選択する強誘電体素子において交差するX方向バス811とY方向バス812とに前述したように所定の電圧を印加することで、データの書き込みや読み出しを行うことができる。このように構成した場合、読み出しのためのトランジスタなどが不要なく、メモリセルを強誘電体素子だけで構成できるので、高集積化が可能である。

【図面の簡単な説明】

【0086】

【図1】本発明の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図2】本発明の実施の形態における強誘電体素子の製造方法例を示す工程図である。

【図3】図1に示す素子の下部電極層103と上部電極105との間に電圧を印加したときの電流変化の状態を示す特性図である。

【図4】図1に示す素子のデータ保持を示す特性図である。

【図5】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図6】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図7】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図8】本発明の他の実施の形態における強誘電体素子の適用例を模式的に示す平面図である。

【図9】本発明の他の実施の形態における強誘電体素子の適用例を模式的に示す斜視図である。

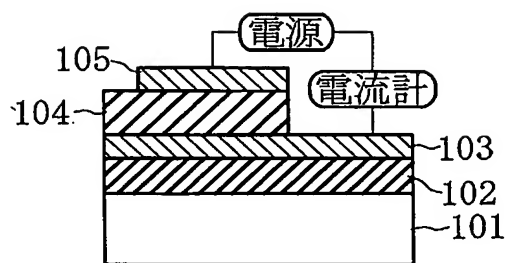
【図10】従来よりある強誘電体を用いたメモリ素子の構成例を示す構成図である。

【符号の説明】

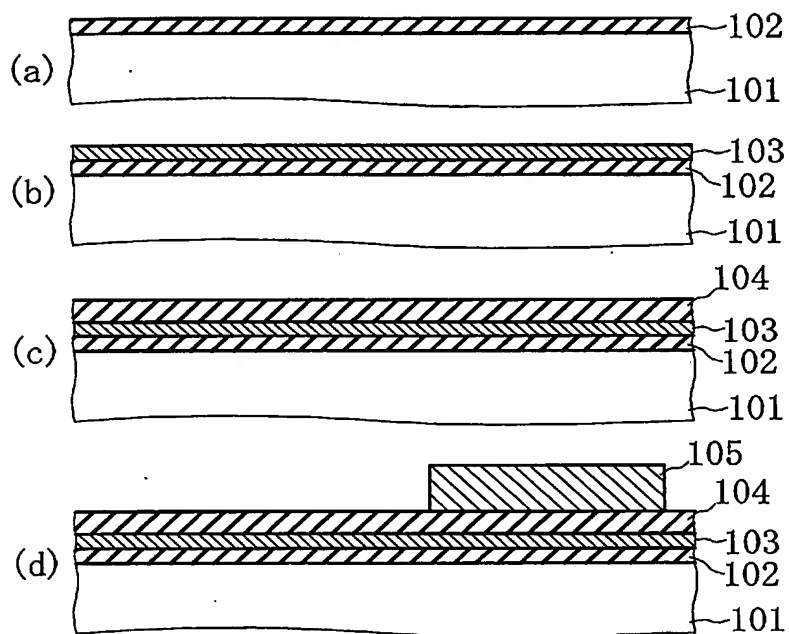
【0087】

101…基板、102…絶縁層、103…下部電極層、104…強誘電体層、105…上部電極。

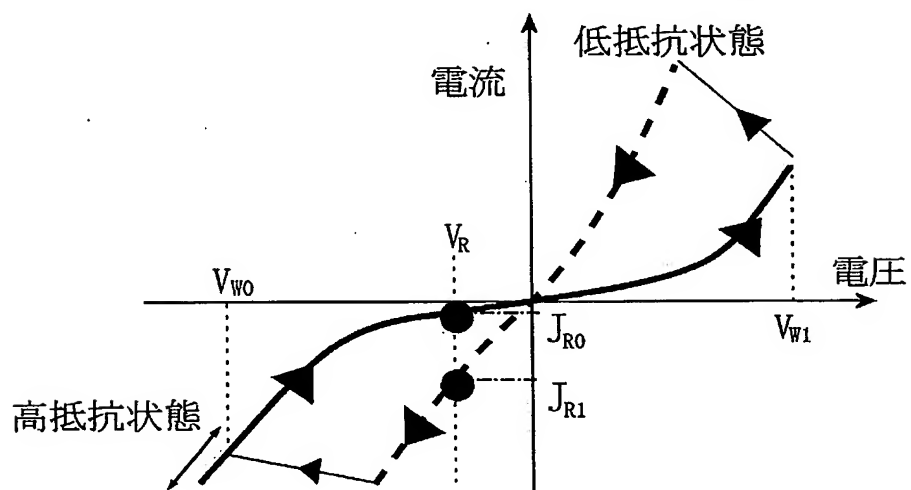
【図 1】



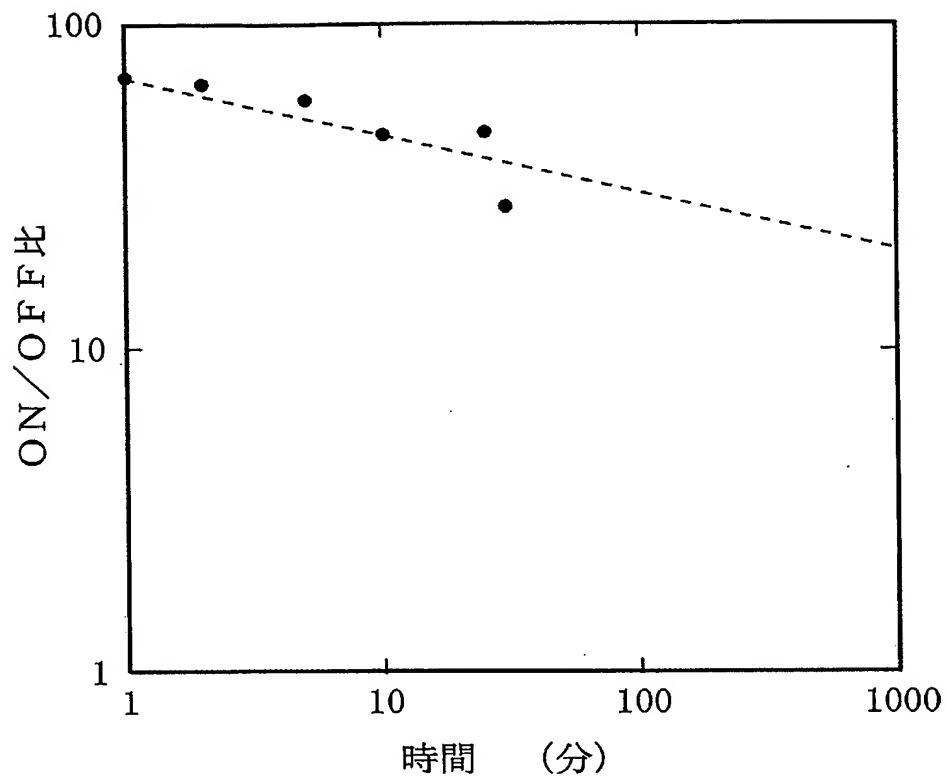
【図 2】



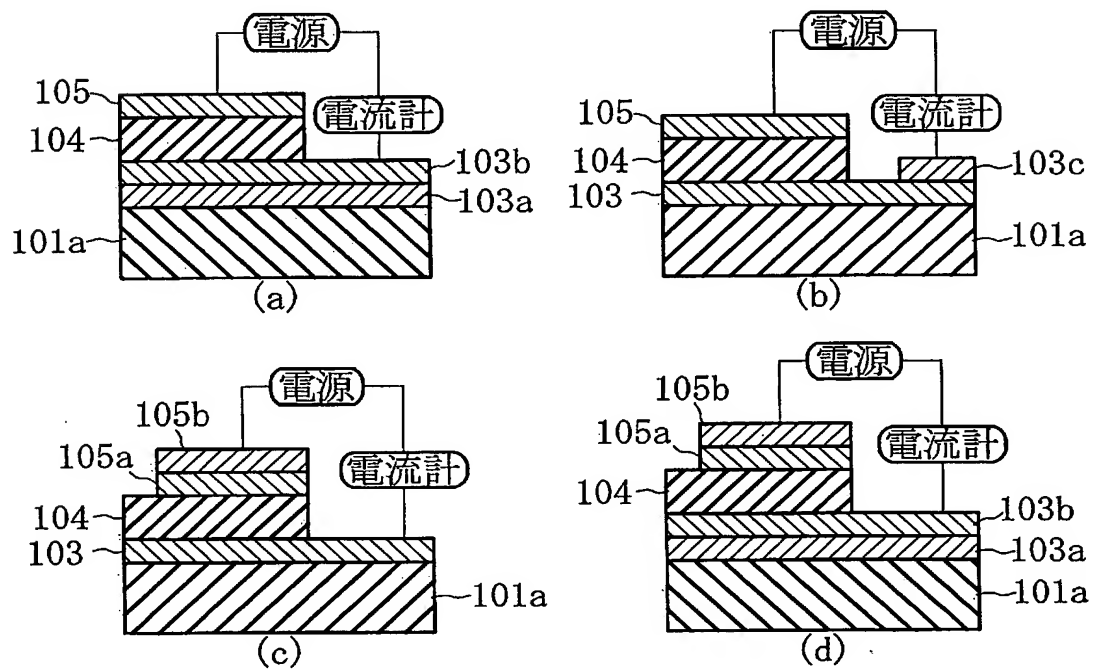
【図 3】

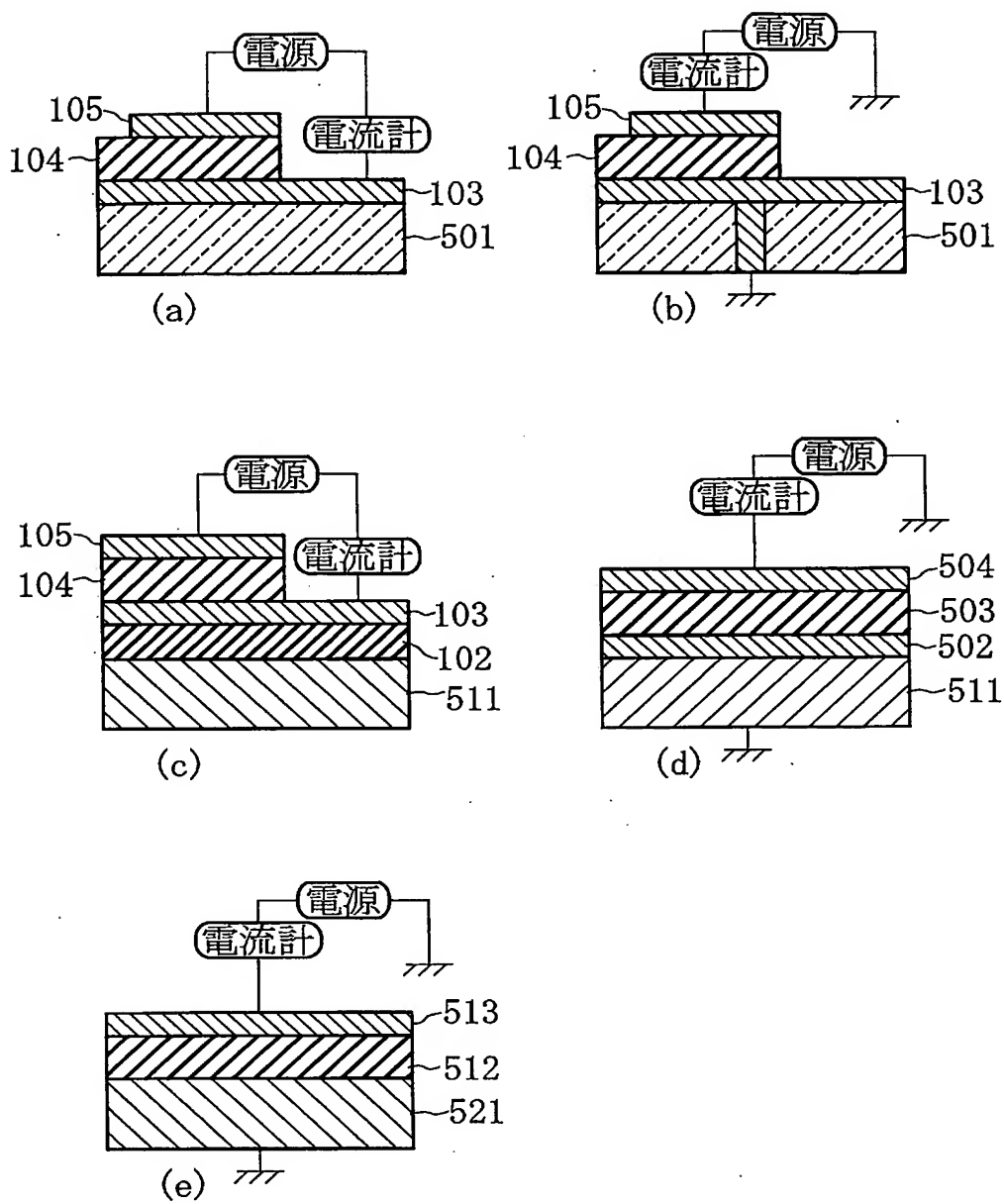


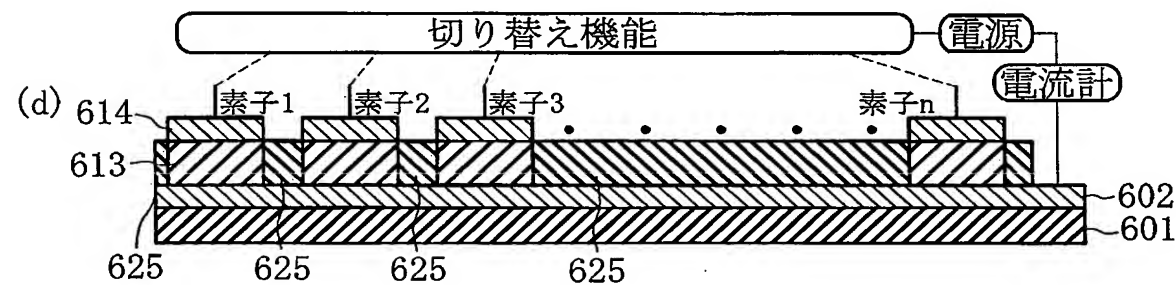
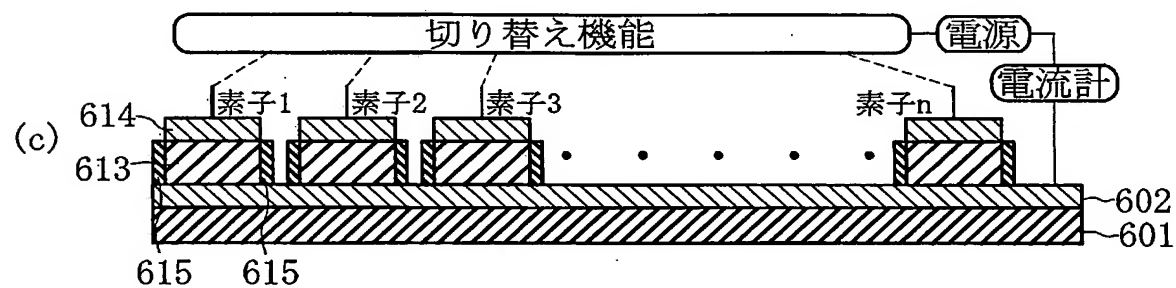
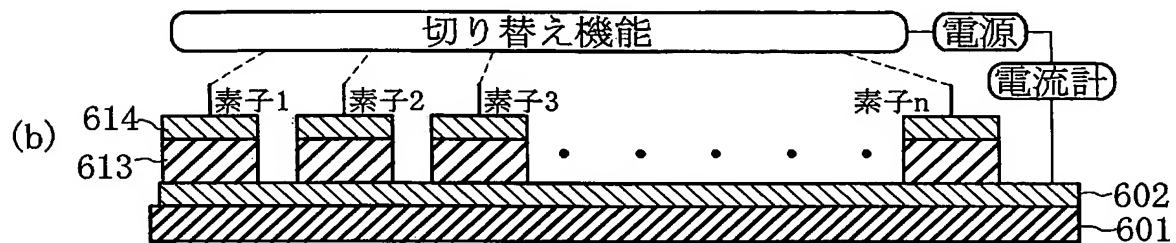
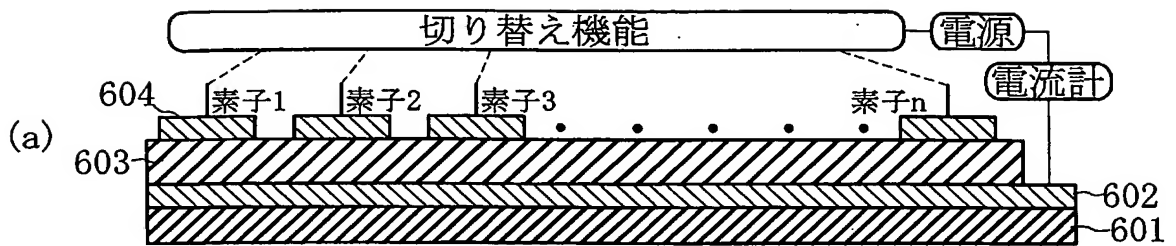
【図4】

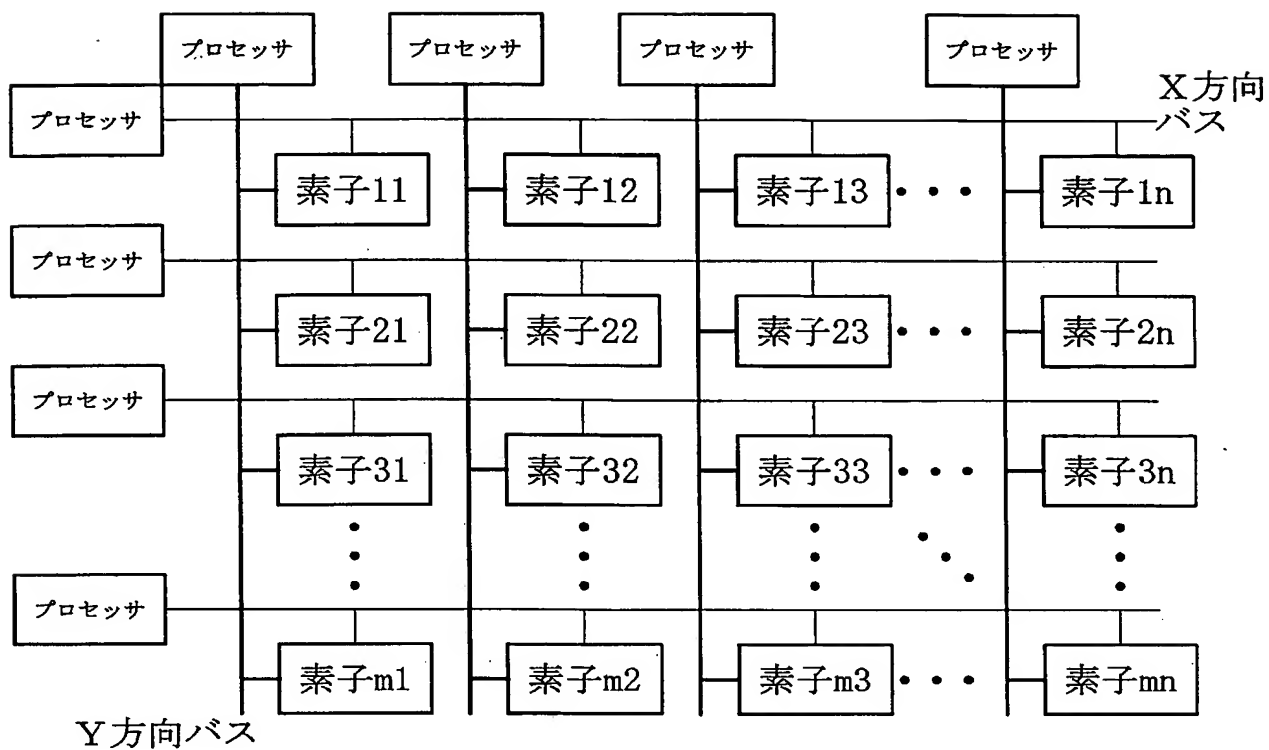


【図5】

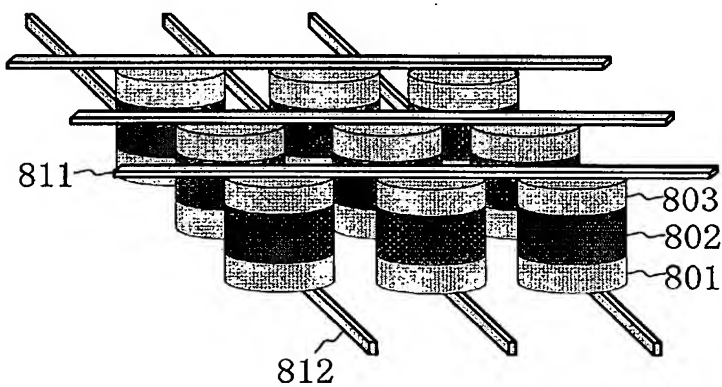




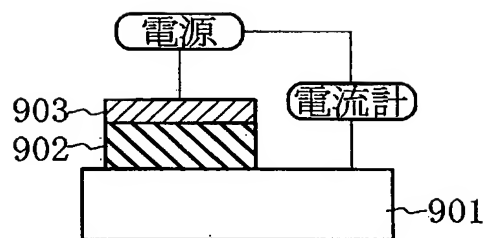




【 図 9 】



【 図 1 0 】



【要約】

【課題】より安定に記憶保持が行えるメモリ装置が構成できるなど、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供する。

【解決手段】強誘電体層 104 を下部電極層 103 と上部電極 105 とで挟み、下部電極層 103 と上部電極 105 との間に所定の電圧（DC，パルス）を印加して強誘電体層 104 の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替えれば、メモリ動作が得られる。読み出しは、上部電極 105 に、0.5～1.5 V の適当な電圧を印加したときの電流値を読み取ることで容易に行うことができる。

【選択図】 図 1

0 0 0 0 0 4 2 2 6

19990715

住所変更

5 9 1 0 2 9 2 8 6

東京都千代田区大手町二丁目3番1号

日本電信電話株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/013413

International filing date: 21 July 2005 (21.07.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-214863
Filing date: 22 July 2004 (22.07.2004)

Date of receipt at the International Bureau: 25 August 2005 (25.08.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



BEST AVAILABLE COPY

World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse